

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Mitsuaki HAYASHI
Application No.: New Patent Application
Filed: September 23, 2003
For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

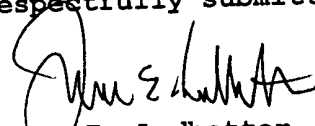
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-278559, filed September 25, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: September 23, 2003

JEL/spp
Attorney Docket No. L8462.03111
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月25日

出 願 番 号

Application Number:

特願2002-278559

[ST.10/C]:

[JP2002-278559]

出 願 人

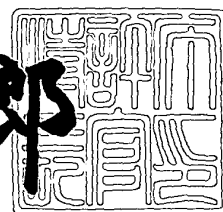
Applicant(s):

松下電器産業株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048709

【書類名】 特許願

【整理番号】 5037640116

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/10

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 林 光昭

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004842

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 マトリクス状に複数配置されたメモリセルトランジスタと、前記メモリセルトランジスタのドレインおよびゲートがそれぞれ接続される複数のビット線および複数のワード線と、前記メモリセルトランジスタのソースが選択的に接続される高電位ソース配線および低電位ソース配線とを備え、

前記メモリセルトランジスタのソースは、前記メモリセルトランジスタに保持させるデータに応じて前記高電位ソース配線および低電位ソース配線のいずれかにマスクプログラマブルに接続されることを特徴とする半導体記憶装置。

【請求項 2】 高電位ソース配線および低電位ソース配線は複数のビット線に平行に複数本設けられている請求項 1 記載の半導体記憶装置。

【請求項 3】 高電位ソース配線と低電位ソース配線とは異なる配線層に形成されている請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 複数のビット線の中から一つのビット線を選択するデコーダと、前記デコーダによって選択されたビット線に高電位と低電位の中間電位を供給するレベルシフタとをさらに備えた請求項 1 または 2 記載の半導体記憶装置。

【請求項 5】 高電位ソース配線と低電位ソース配線とは異なる配線層に形成されている請求項 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置からなる半導体記憶装置に関し、特にマスク ROM のプロセス微細化において高速化を実現するメモリセルおよび回路技術に関するものである。

【0002】

【従来の技術】

図 7 は従来の半導体記憶装置として、コンタクト方式のマスク ROM の構成を示す回路図である（例えば、特許文献 1 参照）。コンタクト方式のマスク ROM

とは、メモリセルトランジスタのドレインがビット線に接続されているか、接続されていないかを、記憶データの“1”および“0”に対応させるものである。

【0003】

図7において、従来の半導体記憶装置は、カラムデコーダ2、バッファ3、プリチャージ用トランジスタ4、メモリセルアレイ7およびオフリーク電荷補給用トランジスタ8から構成されている。

【0004】

カラムデコーダ2は、N型MOSトランジスタ QC_j ($j = 1 \sim n$) から構成されている。各々のドレインは共通に接続され、ソースはビット線 BL_j ($j = 1 \sim n$) に各々接続され、ゲートはカラム選択信号線 CL_j ($j = 1 \sim n$) に各々接続されている。

【0005】

バッファ3は、入力端がカラムデコーダ2を構成するN型MOSトランジスタ QC_j ($j = 1 \sim n$) のドレインに接続され、出力端がデータ出力端子 $SOUT$ に接続されている。

【0006】

プリチャージ用トランジスタ4は、P型MOSトランジスタで構成されている。ゲートはプリチャージ制御信号線 $PCLK_1$ に接続され、ソースは電源電位とされ、ドレインはカラムデコーダ2を構成するN型MOSトランジスタ QC_j ($j = 1 \sim n$) のドレインに接続されている。

【0007】

メモリセルアレイ7は、N型MOSトランジスタからなるメモリセル $M(i, j)$ ($i = 1 \sim m, j = 1 \sim n$) がマトリクス状に配置されて構成される。メモリセル $M(i, j)$ のゲートは、行方向 (i の数値が同一のメモリセル) に共通にワード線 WL_i ($i = 1 \sim m$) に接続され、ソースは接地電位の配線 GL に接続され、ドレインはメモリセルの記憶データが“1”の場合にビット線 BL_j ($j = 1 \sim n$) に接続され、メモリセルの記憶データが“0”の場合には浮遊状態にされる。

【0008】

オフリーク電荷補給用トランジスタ8は、P型MOSトランジスタで構成され、ゲートがバッファ3の出力端に接続され、ソースが電源電位とされ、ドレインがカラムデコーダ2を構成するN型MOSトランジスタQCj ($j = 1 \sim n$) のドレインに接続されている。オフリーク電荷補給用トランジスタ8のオン電流はメモリセルM(i, j) ($i = 1 \sim m, j = 1 \sim n$) のオン電流に比べて小さく設定されている。

【0009】

以上のように構成された半導体記憶装置について、メモリセルM(1, 1)のデータを読み出す動作について、図8のタイミング図を用いて説明する。

【0010】

カラム選択信号線CLj ($j = 1 \sim n$) のうち、カラム選択信号線CL1を「H」レベルにし、カラム選択信号線CL2～CLnを「L」レベルとすることにより、カラムデコーダ2を構成するN型MOSトランジスタQCj ($j = 1 \sim n$) のうち、N型MOSトランジスタQC1をオン状態にし、その他のN型MOSトランジスタCL2～CLnをオフ状態とする。

【0011】

つぎに、プリチャージ制御信号線PCLK1をTp期間「L」レベルとし、プリチャージ用トランジスタ4を一定期間Tpだけオン状態とすることで、ビット線BL1を充電し、「H」レベルとする。

【0012】

ビット線BL1が「H」レベルになった後、ワード線WL i ($i = 1 \sim m$) のうち、ワード線WL1を「L」レベルから「H」レベルにし、それ以外のワード線WL2～WLmは「L」レベルに保持する。

【0013】

これによって、メモリセルM(1, 1)のドレインがビット線BL1に接続されている場合は、ビット線BL1に充電された電荷およびオフリーク電荷補給用トランジスタ8から供給される電荷は、メモリセルM(1, 1)により放電されビット線BL1は「L」レベルとなり、バッファ3の入力も「L」レベルとなり、データ出力端子SOUTには時間T ac3後に「H」が読み出され、オフリー

ク電荷補給用トランジスタ8はオフとなる（図8に破線で示す）。

【0014】

また、メモリセルM(1,1)のドレインがビット線BL1に接続されていない場合は、ビット線BL1に充電された電荷はメモリセルM(1,1)により放電されることなく、ビット線BL1は「H」レベルを維持し、バッファ3の入力も「H」レベルとなり、データ出力端子SOUTには「L」が読み出され、オフリーク電荷補給用トランジスタ8はオンし、ビット線BL1にドレインを接続した他のメモリセルM(i,1) (i=2~m)のオフリーク電流により放電される電荷はオフリーク電荷補給用トランジスタ8がオンすることで供給され、ビット線BL1は「H」を保持し、データ出力端子SOUTは「L」を読み出し続けることができる（図8に実線で示す）。

【0015】

【特許文献1】

特開平6-176592号公報（第2頁段落番号0002~0006、図2）

【0016】

【発明が解決しようとする課題】

従来の半導体記憶装置では以下の問題を有している。半導体記憶装置において、記憶データによっては、ソースを接地電位とした複数のメモリセルのドレインが1本のビット線に接続されるため、ビット線に複数のメモリセルのオフリークによる定常電流が生じる。このためドレインがビット線に接続されていないメモリセルのデータを読み出す場合に、ビット線を「H」レベルに保持するためには、メモリセルのオフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタが必要となる。

【0017】

近年、微細化の急速な進展によりメモリセルを構成するトランジスタのオフリーク電流が桁違いに急増してきており、オフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタのオン電流も増大させる必要がある。

【0018】

このため、ドレインをビット線に接続したメモリセルで、ビット線の電荷を放電させビット線を「L」レベルにして記憶データを読み出す際には、上記オフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタから供給される電荷を、メモリセルのオン電流で放電するのに長い時間を要し、高速読み出しができないという問題がある。

【 0 0 1 9 】

本発明は、上記した従来の半導体記憶装置における問題を解決するものであり、上記オフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタを必要とせず、ビット線の「H」レベル保持が可能で、高速読み出しができる半導体記憶装置を提供することを目的とする。

【 0 0 2 0 】

【課題を解決するための手段】

本発明の請求項 1 記載の半導体記憶装置は、マトリクス状に複数配置されたメモリセルトランジスタと、メモリセルトランジスタのドレインおよびゲートがそれぞれ接続される複数のビット線および複数のワード線と、メモリセルトランジスタのソースが選択的に接続される高電位ソース配線および低電位ソース配線を備えている。上記のメモリセルトランジスタのソースは、メモリセルトランジスタに保持させるデータに応じて高電位ソース配線および低電位ソース配線のいずれかにマスクプログラマブルに接続される。

【 0 0 2 1 】

この構成によれば、ビット線を高電位（「H」レベル）に保持する記憶データの場合、選択されたメモリセルトランジスタのソースを高電位ソース配線に接続することで、非選択のメモリセルトランジスタからのオフリークにより放電される電荷を補給することができるため、別途、非選択のメモリセルトランジスタからのオフリークにより放電される電荷を補給するオフリーク電荷補給用トランジスタを必要としない。そのため、電荷を放電しビット線を低電位（「L」レベル）にする場合、ビット線への電荷供給がなくなり、選択されたメモリセルトランジスタのソースを低電位ソース配線に接続することで、高速読み出しが可能となる。

【 0 0 2 2 】

本発明の請求項 2 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置において、高電位ソース配線および低電位ソース配線が複数のビット線に平行に複数本設けられている。

【 0 0 2 3 】

この構成によれば、請求項 1 と同様の作用効果を奏する。

【 0 0 2 4 】

本発明の請求項 3 記載の半導体記憶装置は、請求項 1 または 2 記載の半導体記憶装置において、高電位ソース配線と低電位ソース配線とが異なる配線層に形成されている。

【 0 0 2 5 】

この構成によれば、請求項 1 と同様の作用効果を奏する上、高電位ソース配線と低電位ソース配線とを重ね配置することが可能で、メモリセル面積を縮小できる。

【 0 0 2 6 】

本発明の請求項 4 記載の半導体記憶装置は、請求項 1 または 2 記載の半導体記憶装置において、複数のビット線の中から一つのビット線を選択するデコーダと、デコーダによって選択されたビット線に高電位と低電位の中間電位を供給するレベルシフタとをさらに備えている。

【 0 0 2 7 】

この構成によれば、請求項 1 と同様の作用効果を奏する上、ビット線が中間電位から、高電位（「H」レベル）あるいは低電位（「L」レベル）への遷移になるため、請求項 1 記載の半導体記憶装置より高速な読み出しができる。

【 0 0 2 8 】

本発明の請求項 5 記載の半導体記憶装置は、請求項 4 記載の半導体記憶装置において、高電位ソース配線と低電位ソース配線とが異なる配線層に形成されている。

【 0 0 2 9 】

この構成によれば、請求項 4 と同様の作用を有する上、高電位ソース配線と低

電位ソース配線とを重ね配置することが可能で、メモリセル面積を縮小できる。

【0030】

【発明の実施の形態】

（第1の実施の形態）

図1は本発明の第1の実施の形態に係る半導体記憶装置の構成を示す回路図である。

【0031】

図1において、この実施の形態の半導体記憶装置は、メモリセルアレイ1、カラムデコーダ2、バッファ3およびプリチャージ用トランジスタ4から構成されている。カラムデコーダ2、バッファ3およびプリチャージ用トランジスタ4は従来例と同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。

【0032】

メモリセルアレイ1は、N型MOSトランジスタからなるメモリセルM(i, j) (i = 1 ~ m, j = 1 ~ n) がマトリクス状に配置されて構成される。メモリセルM(i, j) のゲートは、行方向 (i の数値が同一のメモリセル) に共通にワード線WL i (i = 1 ~ m) に接続され、ドレインはビット線BL j (j = 1 ~ n) に接続され、ソースはメモリセルの記憶データが“1”の場合、ビット線に隣接する「L」レベルの低電位ソース配線SL Lに接続され、メモリセルの記憶データが“0”の場合、ビット線に隣接する「H」レベルの高電位ソース配線SL Hに接続される。

【0033】

図2にメモリセルアレイ1の一部、例えばM(1, 1)とM(2, 1)のマスクレイアウトを示す。

【0034】

図2において、M2__BLは第2層メタルで形成されるビット線で、図1のビット線BL 1に相当する。M2__VDDは第2層メタルで形成される「H」レベルの高電位ソース配線で、図1の高電位ソース配線SL Hに相当する。M2__VSSは第2層メタルで形成される「L」レベルの低電位ソース配線で、図1の低

電位ソース配線 S L L に相当する。

【 0 0 3 5 】

D はメモリセル M (1 , 1) , M (2 , 1) のドレイン、V 1 はドレイン D とドレイン上の第 1 層メタル M 1 _ D とを接続するビアホール、V 2 は第 1 層メタル M 1 _ D とビット線 M 2 _ B L とを接続するビアホールである。

【 0 0 3 6 】

G _ U , G _ B は各々メモリセル M (1 , 1) , M (2 , 1) のゲート、S _ U , S _ B は各々メモリセル M (1 , 1) , M (2 , 1) のソース、V 1 _ U , V 1 _ B は各々メモリセル M (1 , 1) , M (2 , 1) のソース S _ U , S _ B と各ソース S _ U , S _ B 上の第 1 層メタル配線 M 1 _ U , M 1 _ B とを接続するビアホールである。

【 0 0 3 7 】

V 2 _ U p および V 2 _ B p は各々メモリセル M (1 , 1) , M (2 , 1) のデータ書き込み用の第 1 層メタルと第 2 層メタルとの間のビアホールである。

【 0 0 3 8 】

本図においては、メモリセル M (1 , 1) は記憶データが “ 0 ” 、メモリセル M (2 , 1) は記憶データが “ 1 ” の場合を示している。

【 0 0 3 9 】

以上のように構成された半導体記憶装置について、メモリセル M (1 , 1) のデータを読み出す動作について図 3 のタイミング図を用いて説明する。

【 0 0 4 0 】

カラム選択信号線 C L j (j = 1 ~ n) のうち、カラム選択信号線 C L 1 を「 H 」レベルにし、カラム選択信号線 C L 2 ~ C L n を「 L 」レベルとすることにより、カラムデコーダ 2 を構成する N 型 MOS トランジスタ Q C 1 ~ Q C n のうち、N 型 MOS トランジスタ Q C 1 をオン状態にし、その他の N 型 MOS トランジスタ C L 2 ~ C L n をオフ状態とする。

【 0 0 4 1 】

つぎに、プリチャージ制御信号線 P C L K 1 を T p 期間「 L 」レベルとし、プリチャージ用トランジスタ 4 を一定期間 T p だけオン状態とすることで、ビット

線 BL_1 を充電し、「H」レベルとする。

【0042】

ビット線 BL_1 が「H」レベルになった後、ワード線 WL_i ($i = 1 \sim m$) のうち、ワード線 WL_1 を「L」レベルから「H」レベルにし、それ以外のワード線 $WL_2 \sim WL_m$ は「L」レベルに保持する。

【0043】

これによって、メモリセル $M(1,1)$ のソースが「L」レベルの低電位ソース配線 SL_L に接続されている場合は、ビット線 BL_1 に充電された電荷は、メモリセル $M(1,1)$ により放電され、ビット線 BL_1 は「L」レベルとなり、バッファ3の入力も「L」レベルとなり、データ出力端子 $SOUT$ には時間 T_{ac1} 後に「H」が読み出される(図3に破線で示す)。

【0044】

また、メモリセル $M(1,1)$ のソースが「H」レベルの高電位ソース配線 SL_H に接続されている場合は、ビット線 BL_1 に充電された電荷はメモリセル $M(1,1)$ により放電されることなく、ビット線 BL_1 は「H」レベルとなり、バッファ3の入力も「H」レベルとなり、データ出力端子 $SOUT$ には「L」が読み出される。ビット線 BL_1 にドレインを接続した他のメモリセル $M(i,1)$ ($i = 2 \sim m$) のオフリーク電流により放電される電荷はメモリセル $M(1,1)$ から供給され、ビット線 BL_1 は「H」を保持し、データ出力端子 $SOUT$ は「L」を読み出し続けることができる(図3に実線で示す)。

【0045】

上記のように、本実施の形態によれば、ビット線の電荷の保持が必要な記憶データの場合にはメモリセルから電荷を供給し、ビット線の電荷を放電する記憶データの場合には上記従来例に示すオフリーク電荷補給用トランジスタがないため、読み出し時間が $T_{ac1} < T_{ac3}$ と高速化が可能となる。つまり、上記オフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタを必要とせず、ビット線の「H」レベル保持が可能で、高速読み出しができることになる。

【0046】

(第2の実施の形態)

図4は本発明の第2の実施の形態に係る半導体記憶装置のメモリセルのマスクレイアウトである。半導体記憶装置の構成および動作は第1の実施の形態と同一であり、その説明を省略する。

【0047】

図4(a)は平面図、図4(b)は同図(a)に示す破線Uの断面図、図4(c)は同図(a)に示す破線Bの断面図である。

【0048】

図4について、第1の実施の形態同様、メモリセルM(1,1)、M(2,1)を例に説明する。

【0049】

M3__BLは第3層メタルで構成されたビット線で、図1のビット線BL1に相当する。M2__VDDは第2層メタルで構成された「H」レベルの高電位ソース配線で、図1の高電位ソース配線SLHに相当する。M1__VSSは第1層メタルで構成された「L」レベルの低電位ソース配線で、図1の低電位ソース配線SLLに相当する。

【0050】

DはメモリセルM(1,1)、M(2,1)のドレイン、V1はドレインDとドレイン上の第1層メタルM1__Dとを接続するビアホール、V2は第1層メタルM1__Dとドレイン上の第2層メタルM2__Dとを接続するビアホール、V3は第2層メタルM2__Dとビット線M3__BLとを接続するビアホールである。

【0051】

G__U, G__Bは各々メモリセルM(1,1), M(2,1)のゲート、S__U, S__Bは各々メモリセルM(1,1), M(2,1)のソース、V1__U, V1__Bは各々メモリセルM(1,1), M(2,1)のソースS__U, S__Bと各ソースS__U, S__B上の第1層メタル配線M1__U, M1__Bとを接続するビアホール、V2__U, V2__Bは各々メモリセルM(1,1), M(2,1)のソース上の第1層メタル配線M1__U, M1__Bと各ソース上の第2層メタル配線M2__U, M2__Bとを接続するビアホールである。

【 0 0 5 2 】

SUBは基板、STIは分離層、Z1,Z2,Z3,Z4は各々第1層,第2層,第3層,第4層の絶縁膜である。

【 0 0 5 3 】

M2__UpおよびM1__Bpは各々メモリセルM(1,1),M(2,1)のデータ書き込み用の第2層メタルと第1層メタルである。

【 0 0 5 4 】

本図においては、メモリセルM(1,1)は記憶データが“0”、メモリセルM(2,1)は記憶データが“1”の場合をそれぞれ示している。

【 0 0 5 5 】

上記のように、本実施の形態によれば、第1の実施の形態の効果に加え、「H」レベルおよび「L」レベルのソース配線として、異なる層のメタルを使うことで、「H」レベルおよび「L」レベルの高電位ソース配線SLH,SLLを重ね配置することができ、その結果、メモリセル面積を縮小できるという効果がある。

【 0 0 5 6 】

(第3の実施の形態)

図5は本発明の第3の実施の形態に係る半導体記憶装置の構成を示す回路図である。

【 0 0 5 7 】

図5において、この実施の形態の半導体記憶装置は、メモリセルアレイ1、カラムデコーダ2、レベルシフタ5およびバッファ6から構成されている。メモリセルアレイ1およびカラムデコーダ2は第1の実施の形態と同様であるので、同一の構成要素には同一の符号を付してその説明を省略する。

【 0 0 5 8 】

レベルシフタ5は、P型MOSトランジスタQP1およびQP2とN型MOSトランジスタQN1およびQN2とから構成される。

【 0 0 5 9 】

P型MOSトランジスタQP1は、ソースが電源電位とされ、ゲートがプリチ

ャージ信号線 P C L K 2 に接続され、ドレインが N 型 M O S トランジスタ Q N 1 のドレインに接続されている。

【 0 0 6 0 】

P 型 M O S トランジスタ Q P 2 は、ソースが電源電位とされ、ゲートがプリチャージ信号線 P C L K 2 に接続され、ドレインが N 型 M O S トランジスタ Q N 2 のドレインに接続されている。

【 0 0 6 1 】

N 型 M O S トランジスタ Q N 1 は、ドレインが P 型 M O S トランジスタ Q P 1 のドレインと接続され、ゲートが P 型 M O S トランジスタ Q P 2 のドレインに接続され、ソースがカラムデコーダ 2 を構成する N 型 M O S トランジスタ Q C j (j = 1 ~ n) のドレインに接続されている。

【 0 0 6 2 】

N 型 M O S トランジスタ Q N 2 は、ドレインが P 型 M O S トランジスタ Q P 2 のドレインと接続され、ゲートがカラムデコーダ 2 を構成する N 型 M O S トランジスタ Q C j (j = 1 ~ n) のドレインに接続され、ソースが接地電位に接続されている。

【 0 0 6 3 】

バッファ 6 は、入力端がレベルシフタ 5 を構成する P 型 M O S トランジスタ Q P 1 のドレインに接続され、出力端がデータ出力端子 S O U T に接続されている。

【 0 0 6 4 】

以上のように構成された半導体記憶装置について、メモリセル M (1 , 1) のデータを読み出す動作について、図 6 のタイミング図を用いて説明する。

【 0 0 6 5 】

カラム選択信号線 C L j (j = 1 ~ n) のうち、カラム選択信号線 C L 1 を「 H 」レベルにし、カラム選択信号線 C L 2 ~ C L n を「 L 」レベルとすることにより、カラムデコーダ 2 を構成する N 型 M O S トランジスタ Q C 1 ~ Q C n のうち、N 型 M O S トランジスタ Q C 1 をオン状態にし、その他の N 型 M O S トランジスタ C L 2 ~ C L n をオフ状態とする。

【0066】

つぎに、プリチャージ制御信号線PCLK2をTp期間「L」レベルとし、レベルシフタ5のP型MOSトランジスタQP1とP型MOSトランジスタQP2とを一定期間Tpだけオン状態とすることで、N型MOSトランジスタQN1がオン状態となり、同時にN型MOSトランジスタQN2もオン状態になる。この結果、カラムデコーダ2を構成するN型MOSトランジスタQCj (j=1~n)のドレインとビット線BL1は中間電位(「H」レベルと「L」レベルの中間電位)まで充電される。

【0067】

ビット線BL1が中間電位になった後、ワード線WL i (i=1~m)のうちワード線WL1を「L」レベルから「H」レベルにし、それ以外のワード線WL2~WLmは「L」レベルに保持する。

【0068】

これによって、メモリセルM(1,1)のソースが「L」レベルの低電位ソース配線SL Lに接続されている場合は、ビット線BL1に充電された電荷は、メモリセルM(1,1)により放電されビット線BL1は「L」レベルとなり、バッファ6の入力も「L」レベルとなり、データ出力端子SOUTには時間T ac 2後に「H」が読み出される(図6に破線で示す)。

【0069】

また、メモリセルM(1,1)のソースが「H」レベルの高電位ソース配線SL Hに接続されている場合は、ビット線BL1に充電された電荷はメモリセルM(1,1)により放電されることなく、ビット線BL1は「H」レベルとなり、バッファ6の入力も「H」レベルとなり、データ出力端子SOUTには「L」が読み出される。ビット線BL1にドレインを接続した他のメモリセルM(i,1) (i=2~m)のオフリーク電流により放電される電荷はメモリセルM(1,1)から供給され、ビット線BL1は「H」を保持し、データ出力端子SOUTは「L」を読み出し続けることができる(図6に実線で示す)。

【0070】

上記のように、本実施の形態によれば、第1の実施の形態に比べ、ビット線を

中間電位にすることで、データ出力端子 S O U T が「H」レベル、「L」レベルへ遷移する時間を短縮でき、第 1 の実施の形態より読み出し時間が $T_{ac2} < T_{ac1}$ と高速化が可能となる。

【0071】

【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、高電位（「H」レベル）と低電位（「L」レベル）のソース配線を具備し、記憶データに対応した何れかのソース配線にメモリセルトランジスタのソースを接続することでデータ書き込みを行っているので、オフリークによる定常電流により放電される電荷を補給するオフリーク電荷補給用トランジスタを必要とせず、半導体記憶装置のビット線の「H」レベル保持と高速読み出しとを容易に実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体記憶装置の構成を示す回路図である。

【図 2】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルレイアウトを示す模式図である。

【図 3】

本発明の第 1 の実施の形態に係る半導体記憶装置の動作を示すタイミング図である。

【図 4】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルレイアウトを示す模式図である。

【図 5】

本発明の第 3 の実施の形態に係る半導体記憶装置の構成を示す回路図である。

【図 6】

本発明の第 3 の実施の形態に係る半導体記憶装置の動作を示すタイミング図である。

【図 7】

従来の半導体記憶装置の構成を示す回路図である。

【図 8】

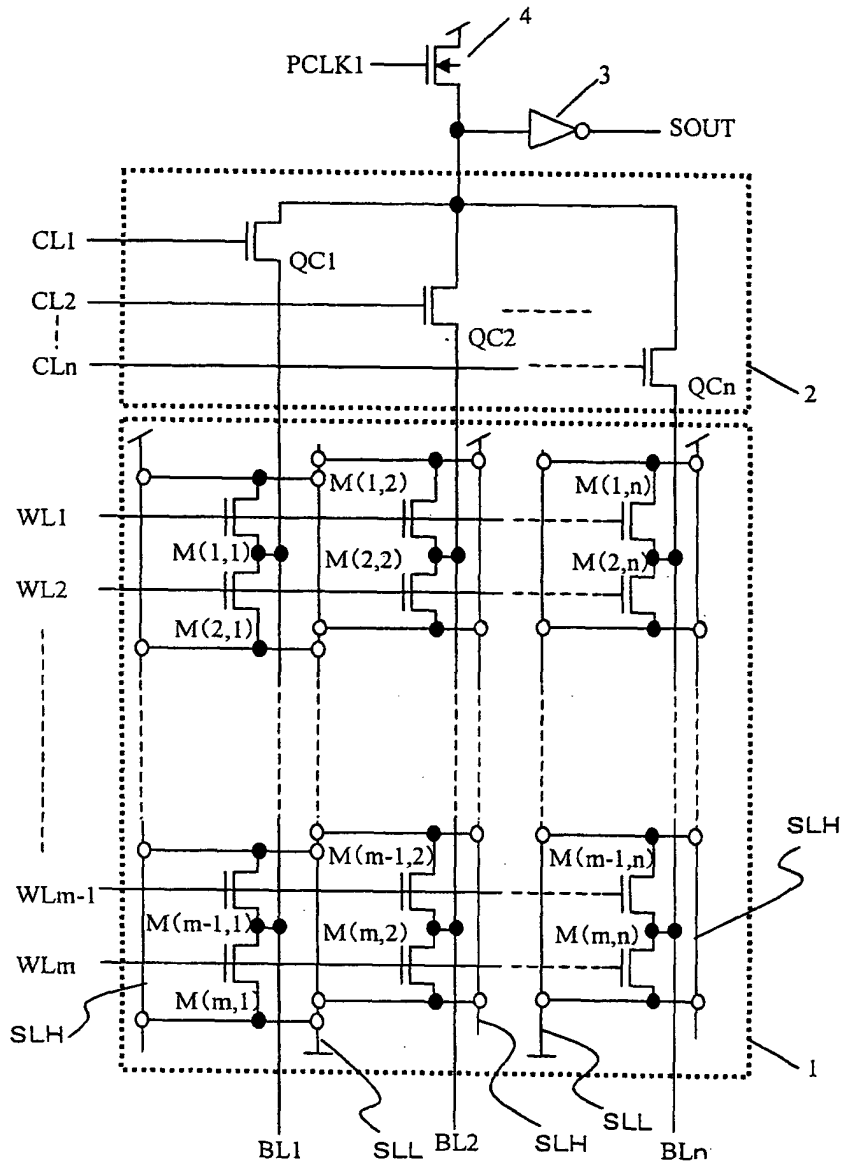
従来の半導体記憶装置の動作を示すタイミング図である。

【符号の説明】

1, 7	メモリセルアレイ
2	カラムデコーダ
3, 6	バッファ
4	プリチャージ用トランジスタ
5	レベルシフタ
8	オフリーク電荷補給用トランジスタ
M (i, j)	メモリセルトランジスタ
W L i	ワード線
B L j	ビット線
C L i	カラム選択信号線
P C L K 1	プリチャージ信号線
P C L K 2	プリチャージ信号線
S L H	高電位ソース配線
S L L	低電位ソース配線

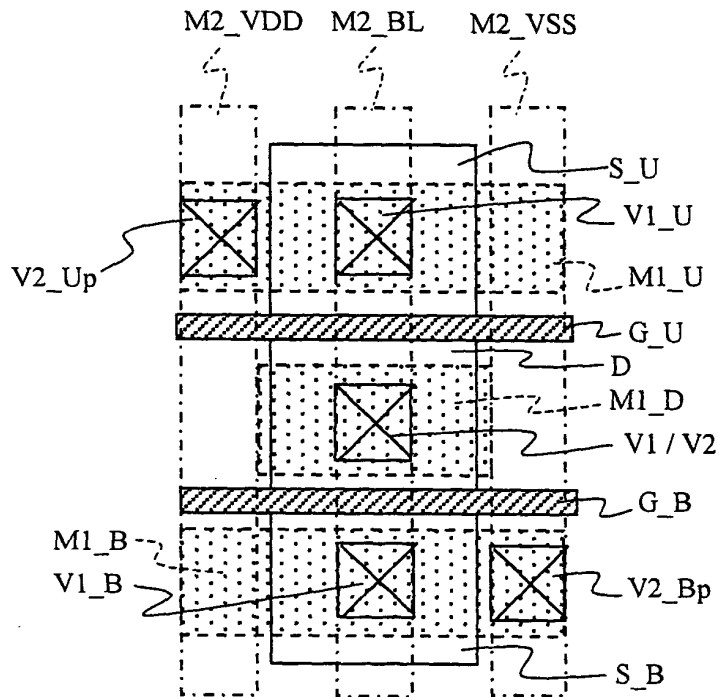
【書類名】 図面

【図 1】

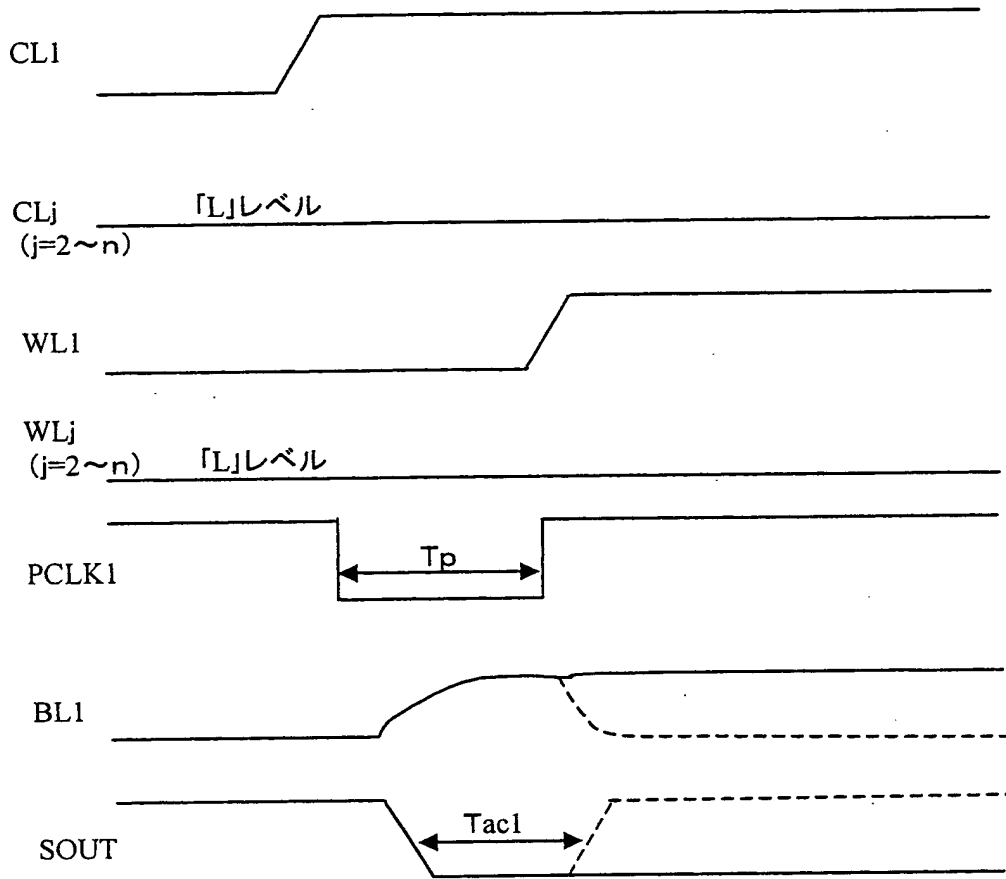


- | | | | |
|---|---------------|-----------|-------------|
| 1 | メモリセルアレイ | $M(i, j)$ | メモリセルトランジスタ |
| 2 | カラムデコーダ | $WL i$ | ワード線 |
| 3 | バッファ | $BL j$ | ビット線 |
| 4 | プリチャージ用トランジスタ | $CL i$ | カラム選択信号線 |
| | | PCLK1 | プリチャージ信号線 |
| | | SLH | 高電位ソース配線 |
| | | SLL | 低電位ソース配線 |

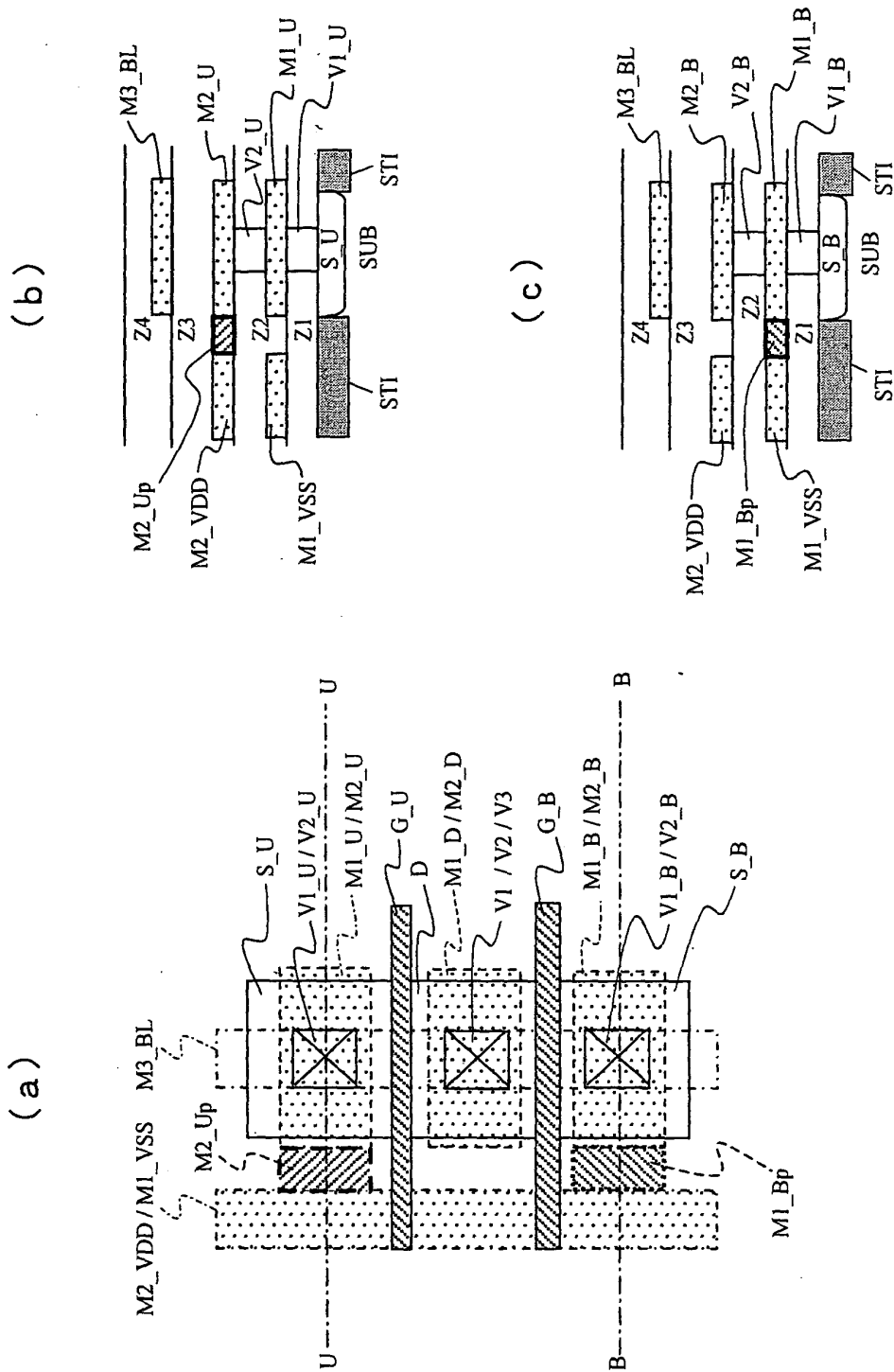
【図 2】



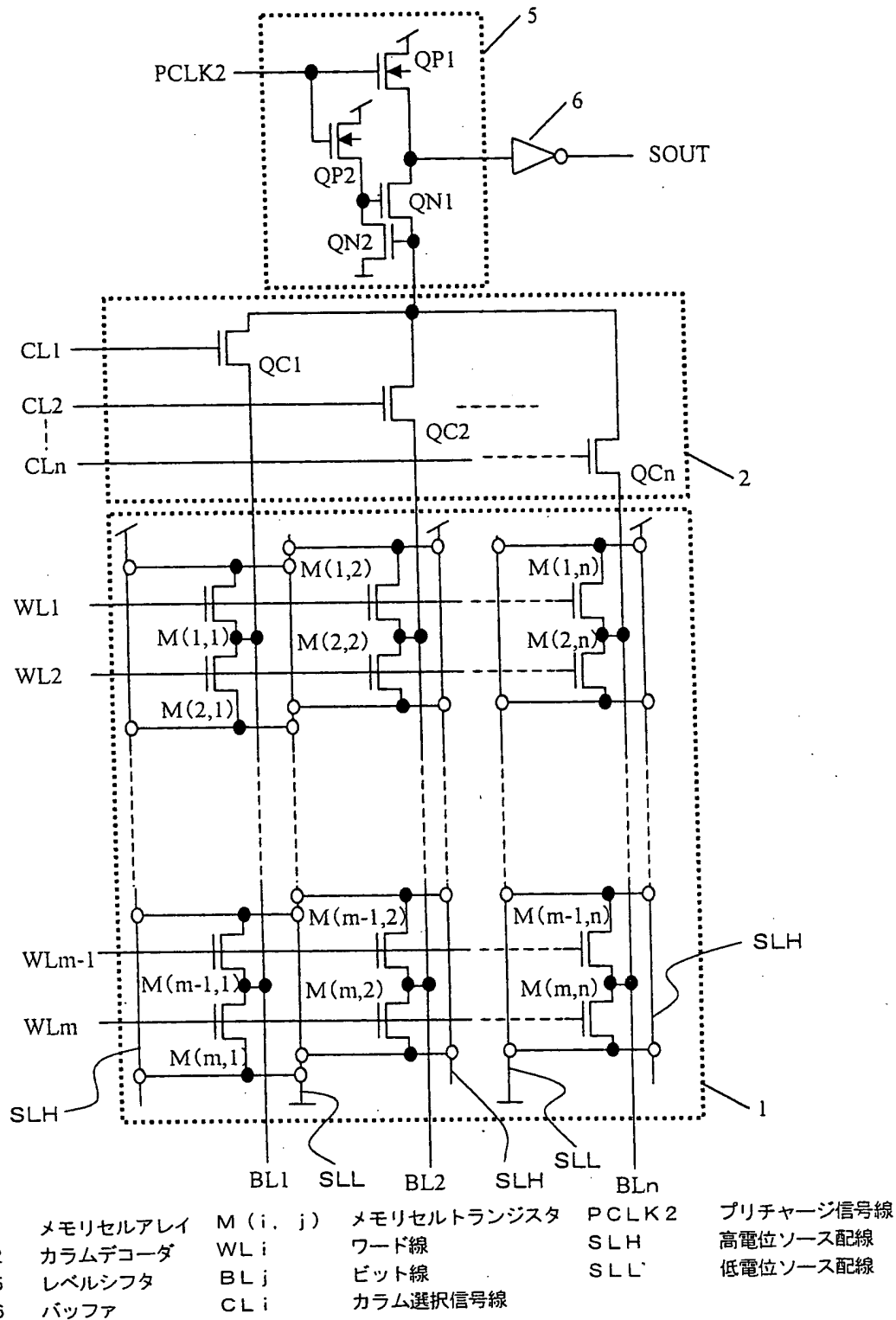
【図 3】



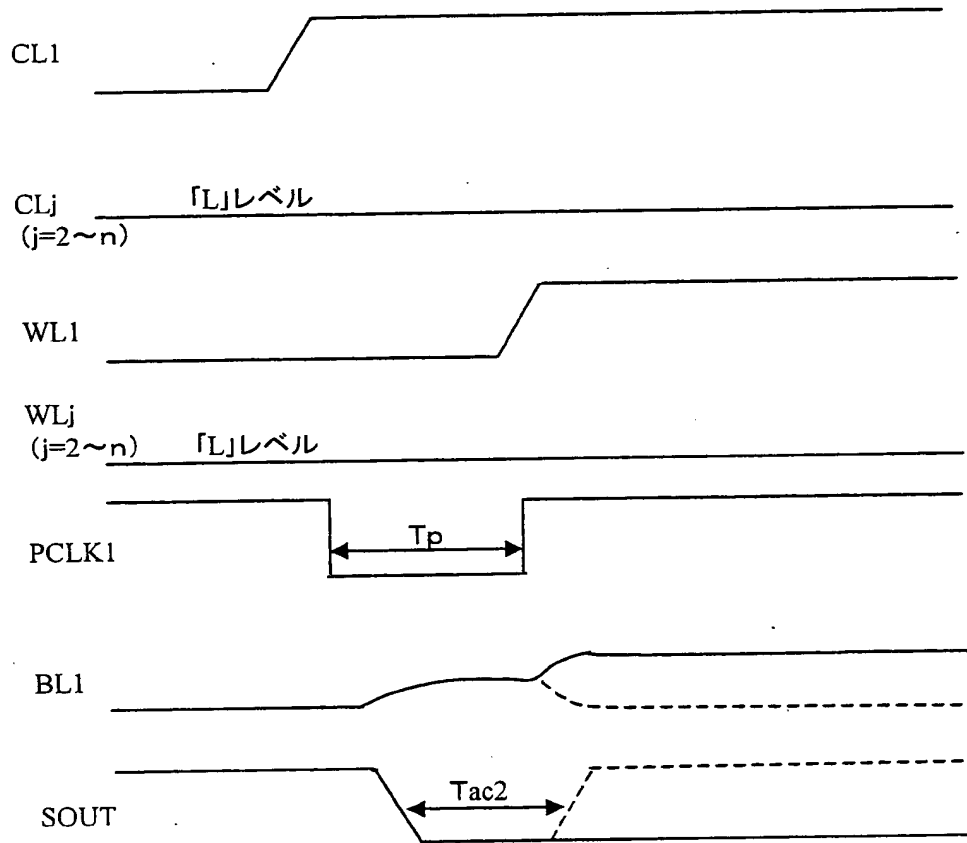
【図 4】



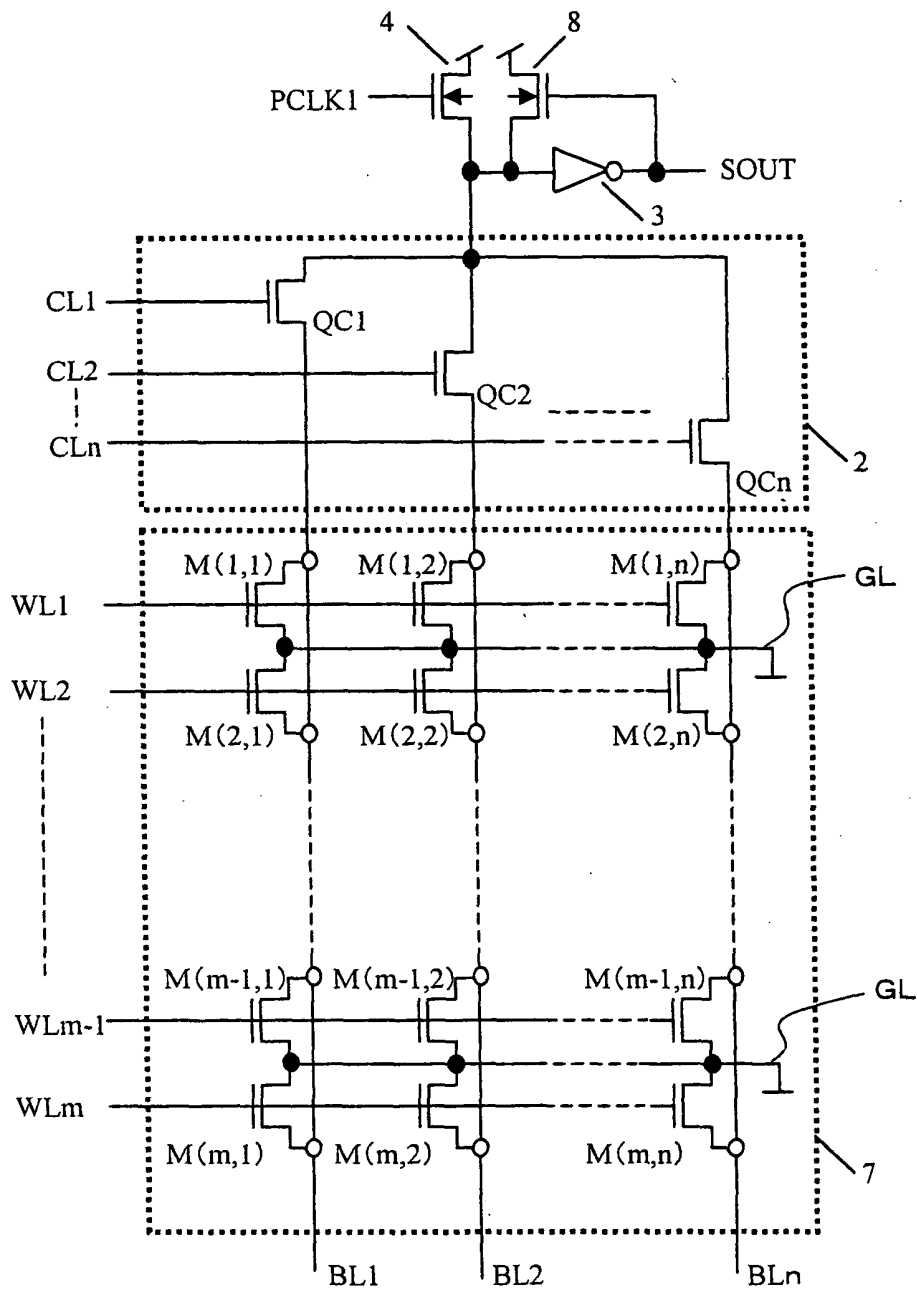
【図 5】



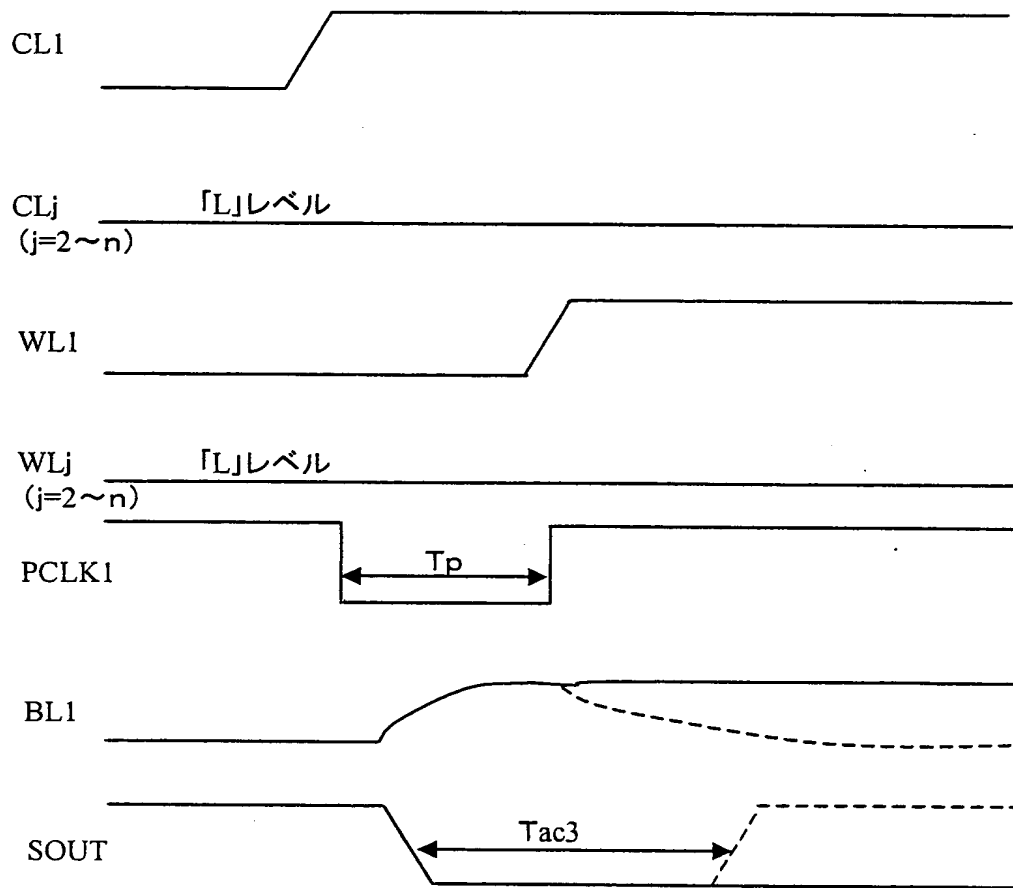
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 微細化によりトランジスタのオフリークが増大して行く中で、ビット線の「H」レベルを保持するために必要な電荷供給用のトランジスタをなくし、ビット線が「L」レベルになる記憶データの読み出しを高速化することで、高速読み出しが可能な半導体集積回路を提供する。

【解決手段】 高電位ソース配線 S L H と、低電位ソース配線 S L L を設け、ビット線が「H」レベルに保持される記憶データは、メモリセル M (1 , 1) ~ M (m , n) のソースを高電位ソース配線 S L H に接続し、ビット線が「L」レベルになる記憶データは、メモリセルのソースを低電位ソース配線 S L L に接続する。

【選択図】 図 1

特 2002-278559

認定・付加情報

特許出願の番号

特願 2002-278559

受付番号

50201429439

書類名

特許願

担当官

第七担当上席

0096

作成日

平成14年 9月26日

<認定情報・付加情報>

【提出日】

平成14年 9月25日

次頁無

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社